

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 1 月 15 日 (15.01.2004)

PCT

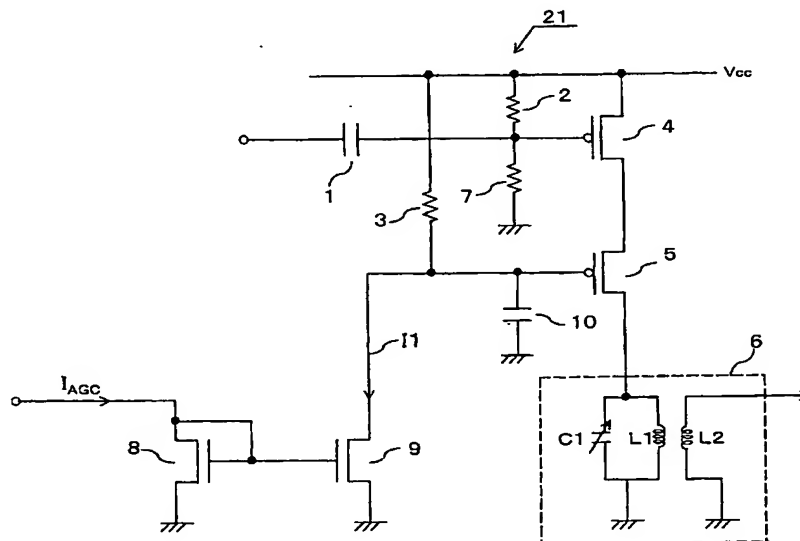
(10) 国際公開番号
WO 2004/006429 A1

- (51) 国際特許分類: H03F 3/19
(21) 国際出願番号: PCT/JP2003/008227
(22) 国際出願日: 2003 年 6 月 27 日 (27.06.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2002-198928 2002 年 7 月 8 日 (08.07.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA)
(72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 宮城 弘 (MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県 上越市 西城町 2 丁目 5 番 13 号 新潟精密株式会社内 Niigata (JP).
(74) 代理人: 大昔 義之 (OSUGA, Yoshiyuki); 〒102-0084 東京都 千代田区 二番町 8 番地 20 二番町ビル 3F Tokyo (JP).
(81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT MANUFACTURING METHOD

(54) 発明の名称: 半導体集積回路及び半導体集積回路の製造方法



(57) Abstract: An RF amplifier circuit (21) for amplifying AM broadcast signals is constituted by use of cascaded P channel MOSFETs (4,5). This cascade connection realizes a reduction of the feedback capacitance between the source and gate of the P channel MOSFET (4), thereby providing a stable operation. Further, using the P channel MOSFETs to constitute the amplifier circuit realizes a reduction of flicker noise and allows the amplifier circuit to be manufactured by the same CMOS process as the CMOS digital circuit.

(57) 要約: AM放送信号を増幅するRF増幅回路21を、カスコード接続されたPチャネルMOSFET4及び5で構成する。カスコード接続することでPチャネルMOSFET4のソース、ゲート間の帰還容量を小さくし、安

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明細書

半導体集積回路及び半導体集積回路の製造方法

5 技術分野

本発明は、AM放送信号を増幅する増幅回路を有する半導体集積回路及びその製造方法に関する。

背景技術

- 10 図5に、従来のAM放送受信回路の構成を示す。図5(a)は同調回路形式の構成を示し、図5(b)は非同調回路形式の構成を示す。

図5(a)に示す同調回路形式のAM放送受信回路は、コンデンサ101と、抵抗102と、信号増幅用のFET(Field Effect Transistor)103と、同調回路104と、IC106とから構成されている。このうちコンデンサ
15 101、抵抗102、信号増幅用のFET103および同調回路104によってRFアンプが構成される。

ここで、コンデンサ101は、図示しないアンテナから入力されるAM放送信号の直流分をカットするためのものであり、同調コンデンサC1および同調コイルL1、L2により構成される。この同調回路104の一端は電源Vcc
20 に接続されている。また、IC106は、同調回路104から出力されたRF増幅信号を入力し、ミキシング、周波数変換などを含むAM放送受信に必要な後段の信号処理を行うものである。

また、図5(b)に示すように、非同調回路形式のAM放送受信回路は、コンデンサ101と、抵抗102と、信号増幅用FET103と、結合コンデンサ105と、IC106と、コイル107とから構成されている。このうちコ
25

ンデンサ101、抵抗102、信号増幅用FET103、結合コンデンサ105およびコイル107によってRFアンプが構成される。

近年、2.4GHz帯や5GHz帯などの高周波信号を扱う無線端末において、RF回路の集積化が進められ、これまでアナログの個別部品としてチップ
5 外に実装されていたRF回路をMOS技術により1チップにまとめたLSIが開発されている。また、76M～90MHzの周波数帯を使用するFM放送用の受信機においても、RF回路をMOS技術で集積したLSIが開発されている。これらの1チップに集積されるRF回路の中にはRF受信アンプも含まれている。

10 これに対して、530K～1710kHzの中波帯、153K～279kHzの長波帯などの低周波信号を使うAM放送の受信機では、その周波数帯がフリッカ雑音成分の大きい領域にあるので、MOSFETでRFアンプを構成することが難しいと考えられていた。

そのため、従来は、図5に示すようにRFアンプに接合型FET（JFET
15 ）103を用い、あるいはJFETとバイポーラトランジスタを組み合わせ、AM放送受信機のRFアンプを設計していた。

しかしながら、JFETは、MOSとは製造プロセスが異なるために1チップに集積化できず、IC106のチップ外に個別部品として実装されていた。その結果、高周波無線端末のRF回路を小型化することができないという問題
20 点があった。

また、AM増幅回路は微少信号の増幅を行うので、電源電圧の変動等に対して安定したバイアスをFETに与えることが望まれている。

発明の開示

25 本発明の課題は、AM放送信号を増幅する増幅回路と、CMOデジタル回路

とを1チップに集積することである。本発明の他の課題は、AM増幅回路のバイアスを安定化することである。

本発明の半導体集積回路は、AM放送信号を増幅する第1のPチャネルMOSFETと、前記第1のPチャネルMOSFETとカスコード接続される第2のPチャネルMOSFETとからなるAM放送信号の増幅回路と、CMOSデジタル回路とを備える。

この発明によれば、PチャネルMOSFETを使用することでAM放送信号を増幅する増幅回路のフリッカノイズを低減させ、さらにAM放送信号の増幅回路とCMOSデジタル回路を、例えば、CMOSプロセスにより1チップに集積することができる。

本発明の他の半導体集積回路は、AM放送信号を増幅する第1のPチャネルMOSFETと、前記第1のPチャネルMOSFETに一定のバイアスを与えるバイアス回路とからなるAM放送信号の増幅回路と、CMOSデジタル回路とを備え、前記第1PチャネルMOSFET、バイアス回路及びCMOSデジタル回路をCMOSプロセスにより同一回路基板上に形成した。

この発明によれば、AM放送信号を増幅する増幅回路のフリッカノイズを低減させ、かつAM放送信号の増幅回路とCMOSデジタル回路をCMOSプロセスにより1チップに集積することができる。また、電源電圧の変動等に対して安定したバイアスを第1のPチャネルMOSFETに与えることができる。

上記の発明において、前記第2のPチャネルMOSFETの増幅度を制御するAGC回路を備える。

このように構成することで、例えば、受信信号レベルに応じて第2のPチャネルMOSFETの増幅度をAGC制御することができる。

上記の発明において、前記バイアス回路は、前記第1のPチャネルMOSFETとカレントミラー回路を構成する第3のMOSFETを有する。

このように構成することで、例えば、第1のPチャネルMOSFETを流れる電流と、第3のMOSFETを流れる電流を一定の比例関係に設定できる。これにより、電源電圧の変動等に対して第1のPチャネルMOSFETのバイアスを安定化できる。

- 5 上記の発明において、前記バイアス回路は、前記第1のPチャネルMOSFETとカレントミラー回路を構成する第3のMOSFETを有し、該第3のMOSFETのチャネル幅と、前記第1のPチャネルMOSFETのチャネル幅との比が $1:k$ ($k \geq 1$) の関係となるようにする。

- 10 このように構成することで、例えば、チャネル長を同一にしたときに、第3のMOSFETに流れる電流の k 倍の電流を第1のPチャネルMOSFETに流すことができ、かつ第1のPチャネルMOSFETのバイアスを安定化できる。

上記の発明において、前記バイアス回路は、ソースが電源電圧に接続され、ドレインが定電流源に接続され、該定電流源にゲートが接続されている。

- 15 このように構成することで、第3のMOSFETに流れる電流を一定にできるので、第1のPチャネルMOSFETに流れる電流を一定に保つことができる。これにより、電源電圧の変動等に対して第1のPチャネルMOSFETの動作点を安定にできる。

20 図の簡単な説明

図1は、第1の実施の形態のRF増幅回路の回路構成を示す図である。

図2は、第1の実施の形態のAM受信機用ICのブロック図である、

図3は、フリッカノイズの説明図である。

図4は、第2の実施の形態のRF増幅回路の回路構成を示す図である。

- 25 図5は、従来のAM放送受信回路の構成を示す図である。

発明の実施をするための最良の形態

以下、本発明の実施の形態を図面を参照しながら説明する。

図 1 は、本発明の第 1 の実施形態の AM 放送信号を増幅する RF 増幅回路 2
5 1 の回路構成を示す図である。

図 1 に示すように、コンデンサ 1 の一端には、図示しないアンテナで受信される AM 放送信号が入力される。このコンデンサ 1 の他端は P チャネル MOS FET (第 1 の P チャネル MOS FET) 4 のゲートに接続されている。コンデンサ 1 は、AM 放送信号の直流分をカットするためのものである。

10 P チャネル MOS FET 4 のゲートには、電源電圧を抵抗 2 と抵抗 7 とにより分圧した電圧がバイアス電圧として供給される。抵抗 2 と抵抗 7 は直列に接続され、抵抗 2 の他端は電源 V_{cc} に接続され、抵抗 7 の他端は接地されている。

P チャネル MOS FET (第 2 の P チャネル MOS FET) 5 は、P チャネル MOS FET 4 とカスケード接続されている。P チャネル MOS FET 5 の
15 ゲートには、電源 V_{cc} に接続された抵抗 3 と、後述する N チャネル MOS FET 9 のドレインが接続されている。さらに、P チャネル MOS FET 5 のゲートにはバイパスコンデンサ 10 が接続され、そのコンデンサ 10 の他端は接地されている。

20 P チャネル MOS FET 4 と P チャネル MOS FET 5 とをカスコード接続することで、P チャネル MOS FET 4 のゲートとソース間の帰還容量を小さくし、P チャネル MOS FET 4 の高周波特性を改善している。

P チャネル MOS FET 5 のドレインには同調回路 6 が接続されている。同調回路 6 は、同調コンデンサ C 1 および同調コイル L 1, L 2 により構成され
25 、P チャネル MOS FET 5 から出力される AGC 制御された AM 放送信号を

周波数選択して出力する回路である。なお、同調コンデンサC 1 及び同調コイルL 1, L 2 の他端は接地されている。

上記のPチャネルMOSFET 4 及び5 でAM放送信号を増幅するRF増幅回路2 1 を構成している。

- 5 NチャネルMOSFET 8 のドレインには、図示しないAGC (Auto Gain control) 回路から、RF増幅回路2 1 のゲインを制御するためのAGC電流I AGC が入力している。NチャネルMOSFET 8 のドレインとゲートは接続され、ソースは接地されている。

- 10 NチャネルMOSFET 9 のゲートは、NチャネルMOSFET 8 のゲートと接続されている。さらに、ドレインはPチャネルMOSFET 5 のゲートに接続され、ソースは接地されている。

NチャネルMOSFET 8 とNチャネルMOSFET 9 はカレントミラー回路を構成しており、NチャネルMOSFET 8 のドレインに流入するAGC電流I AGC に比例した電流がNチャネルMOSFET 9 を流れる。

- 15 これにより、AGC回路から出力されるAGC電流I AGC によりPチャネルMOSFET 5 のバイアス電圧が変化し、PチャネルMOSFET 5 の増幅度が制御され、出力されるRF信号のレベルが変化する。

なお、PチャネルMOSFET 5 のゲートは必ずしもAGC制御する必要はなく、例えば固定バイアスであっても良い。

- 20 上述したRF増幅回路2 1 は、ミキシング、周波数変換などを含むAM放送受信に必要な後段の信号処理を行う回路並びに後述するラッチ回路、シフトレジスタ等のデジタル回路と共に1チップに集積され、同調回路6 の出力信号は、後述するミキサ回路等に出力される。

次に、上記のように構成したRF増幅回路2 1 の動作を説明する。

- 25 図示しないアンテナより入力したAM放送信号は、直流成分がコンデンサ1

でカットされ、交流成分がPチャネルMOSFET 4で増幅される。そして、PチャネルMOSFET 4から出力されるRF信号が、AGC制御されたPチャネルMOSFET 5により一定レベルに増幅され同調回路6に出力される。

すなわち、NチャネルMOSFET 8のソース電流 I_{AGC} に対応する電流 I_1 がNチャネルMOSFET 9のソースに流れる。電流 I_{AGC} の値が大きくなると、対応する電流 I_1 の値も大きくなり、PチャネルMOSFET 5のバイアス電圧が変化する。これにより、PチャネルMOSFET 4のドレインソース間電圧 V_{DS} が変化し、この V_{DS} を下げてゲインを制御する。

第1の実施形態のAM放送用増幅回路によれば、PチャネルMOSFET 4とPチャネルMOSFET 5をカスコード接続することで、PチャネルMOSFET 4のソースゲート間の帰還容量 C_{gd} を小さくできる。これにより、PチャネルMOSFET 4の高周波特性を改善し、増幅回路21の安定度を高めることができる。

さらに、PチャネルMOSFET 5のゲートにAGC回路の出力を接続することで、AGC信号によりPチャネルMOSFET 5の増幅度を制御してRF信号のレベルを一定にすることができる。

同調回路6は、第2のPチャネルMOSFET 5から出力された一定レベルのRF信号を高周波増幅して、次段の図示しないミキサに出力する。ミキサや周波数変換部を含む以降の信号処理回路（図示せず）では、AM放送受信に必要な残りの処理を行って入力信号の選局を行うとともに、出力段において増幅、検波などを行って音声信号として出力する。

図2は、PチャネルMOSFETからなるAM放送用増幅回路21と、CMOSデジタル回路とを1チップに集積したAM受信機用IC（半導体集積回路）31のブロック図である。

このAM受信機用IC 31は、アンテナ12から入力される信号に対して周

波数選択等を行う入力回路 2 3 と、AM 放送信号を増幅する R F 増幅回路 2 1 と、R F 増幅回路 2 1 で増幅された AM 放送信号を中間周波数に変換する M I X 回路 2 4 等からなる FM、AM 受信回路と、ラッチ回路 2 5、シフトレジスタ 2 6、P L L シンセサイザー 2 7、周波数カウンタ 2 8 等からなる C M O S デジタル回路とを、C M O S プロセスにより 1 チップ上に形成している。

次に、図 3 は、J F E T と、P チャネル M O S F E T と、N チャネル M O S F E T のフリッカ雑音特性を示す図である。

図 3 に示すように、M O S 半導体の内部雑音であるフリッカ雑音は、そのノイズレベルが周波数に反比例して大きくなる。したがって、扱う信号が AM 放送のような低周波信号の場合に R F アンプを M O S 回路で構成すると、ノイズレベルは J F E T を用いる場合に比べて大きくなる。

しかし、N チャネル M O S F E T と P チャネル M O S F E T とを比較した場合、P チャネル M O S F E T は N チャネル M O S F E T に比べて低周波領域でもノイズレベルが小さくなっている。本実施の形態では、AM 放送信号の増幅を行う R F 増幅回路 2 1 を P チャネル M O S F E T により構成することで、フリッカ雑音のレベルを比較的小さく抑えている。

しかも、P チャネル M O S F E T は、C M O S の製造プロセスで作ることができるので、R F 増幅回路 2 1 を含む AM 放送信号の受信回路及びラッチ回路 2 5、シフトレジスタ 2 6 等の C M O S デジタル回路を 1 チップに集積することができ、受信機の回路を小型化できる。また、同じ C M O S プロセスで無線機の回路全体を製造することができるので、製造工程を簡略化して製造コストを削減することもできる。

次に、図 4 は、本発明の第 2 の実施の形態の R F 増幅回路 3 1 の構成を示す図である。なお、図 4 の説明において、図 1 と同じ部分には、同じ符号を付けてその説明を省略する。

図4の回路と、図1の回路の異なる点は、PチャネルMOSFET5のゲートに、図示しないAGC回路から出力されるAGC制御電圧VAGCが入力している点と、PチャネルMOSFET4とカレントミラー回路を構成するバイアス回路42を設けた点である。

- 5 図4において、PチャネルMOSFET5のゲートには、抵抗40を介してAGC制御電圧VAGCが入力している、このAGC制御電圧VAGCに応じてPチャネルMOSFET4のドレインソース間電圧VDSが変化し、このVDSを下げてゲインを制御している。なお、 $VDS = V_{cc} - (VAGC + VGS5)$ であり、VGS5は、PチャネルMOSFET5のゲートソース間電圧である。

バイアス回路42は、定電流源44を含むPチャネルMOSFET43からなる。

- 15 PチャネルMOSFET43は、ソースが電源Vccに直接接続され、ドレインが定電流源44に接続され、ゲートがドレインと接続されている。さらに、PチャネルMOSFET4のゲートは、抵抗45を介してPチャネルMOSFET4のゲートに接続されている。

PチャネルMOSFET43のゲートに直列に接続される抵抗45は、AM放送信号がPチャネルMOSFET43側に回り込まないようにするためと、PチャネルMOSFET4の入力インピーダンスを上げるためのものである。

- 20 PチャネルMOSFET4とPチャネルMOSFET43はカレントミラー回路を構成しているので、両者のチャネル面積が等しいときには流れる電流は等しくなる。

そこで、PチャネルMOSFET4のチャネル長をL1、チャネル幅をW1、PチャネルMOSFET43のチャネル長をL2、チャネル幅をW2としたときに、 $L1 = L2$ 、 $W1 = k \cdot W2$ ($k \geq 1$ 、実施の形態では、kは1より

大きな定数) の関係が成り立つようにそれぞれのチャネル長及びチャネル幅を設定する。なお、定数 k はカスコード接続された第1のPチャネルMOSFET 4のゲインが最適となるように設定する。

第2の実施の形態のRF増幅回路41は、上述した第1の実施の形態と同様に、AM放送信号を増幅するためのPチャネルMOSFET 4とPチャネルMOSFET 5をカスコード接続することで、PチャネルMOSFET 4の帰還容量を小さくしてRF増幅回路41の安定度を高めることができる。

また、PチャネルMOSFET 4とバイアス回路42のPチャネルMOSFET 43とでカレントミラー回路を構成することで、PチャネルMOSFET 4に安定したバイアスを供給することができる。これにより、電源電圧の変動等に対してPチャネルMOSFET 4のバイアスを安定化できる。

さらに、バイアス回路42のPチャネルMOSFET 43のチャネル幅を、PチャネルMOSFET 4のチャネル幅の $1/k$ に設定することで、PチャネルMOSFET 43に $1/k$ の電流を流したときに、PチャネルMOSFET 4にその k 倍の電流を流すことができる。また、PチャネルMOSFET 43のドレインに定電流源44を接続することで、PチャネルMOSFET 43に流れる電流を一定にできる。これにより、電源電圧の変動、温度変化等に対してPチャネルMOSFET 4の動作点を安定化できる。

本発明は、上述した実施の形態に限らず、以下のように構成しても良い。

(1) 本発明に係るAM放送信号の増幅回路は、AM受信機用ICに限らず、より高い周波数に対応した無線回路を有する、携帯電話機及び無線LAN等に用いられる通信用ICに搭載しても良い。

(2) バイアス回路42は、PチャネルMOSFET、あるいはNチャネルMOSFETと、電流源44とからなるカレントミラー回路に限らず、バイアスを安定化できる回路であればどのような回路でも良い。

本発明によれば、AM放送の周波数帯域におけるフリッカノイズを抑制し、かつAM放送信号の増幅回路とCMOSデジタル回路とを1チップに集積することができる。さらに、バイアス回路を設けることで、電圧電圧の変動等に対してバイアスを安定化できる。

請求の範囲

1. AM放送信号を増幅する第1のPチャンネルMOSFETと、
前記第1のPチャンネルMOSFETとカスコード接続される第2のPチャネ
5 ルMOSFETとからなるAM放送信号の増幅回路と、
CMOSデジタル回路とを備える半導体集積回路。
2. AM放送信号を増幅する第1のPチャンネルMOSFETと、
前記第1のPチャンネルMOSFETとカスコード接続される第2のPチャネ
ルMOSFETとからなるAM放送信号の増幅回路と、
10 CMOSデジタル回路とを備え、
前記第1のPチャンネルMOSFET、第2のPチャンネルMOSFET及びC
MOSデジタル回路をCMOSプロセスにより同一回路基板上に形成する半導
体集積回路。
3. AM放送信号を増幅する第1のPチャンネルMOSFETと、
15 前記第1のPチャンネルMOSFETに一定のバイアスを与えるバイアス回路
とからなるAM放送信号の増幅回路と、
CMOSデジタル回路とを備え、
前記第1PチャンネルMOSFET、バイアス回路及びCMOSデジタル回路
をCMOSプロセスにより同一回路基板上に形成する半導体集積回路。
- 20 4. AM放送信号を増幅する第1のPチャンネルMOSFETと、
前記第1のPチャンネルMOSFETとカスコード接続される第2のPチャネ
ルMOSFETと、
前記第1のPチャンネルMOSFETに一定のバイアスを与えるバイアス回路
とからなるAM放送信号の増幅回路と、
25 CMOSデジタル回路とを備え、

前記第1 PチャネルMOSFET、第2 PチャネルMOSFET、バイアス回路及びCMOSデジタル回路をCMOSプロセスにより同一回路基板上に形成する半導体集積回路。

5 5. 前記第2のPチャネルMOSFETの増幅度を制御するAGC回路を備える請求項1、2または4記載の半導体集積回路。

6. 前記バイアス回路は、前記第1のPチャネルMOSFETとカレントミラー回路を構成する第3のMOSFETを有する請求項2、3、4または5記載の半導体集積回路。

10 7. 前記バイアス回路は、前記第1のPチャネルMOSFETとカレントミラー回路を構成する第3のMOSFETを有し、該第3のMOSFETのチャネル幅と、前記第1のPチャネルMOSFETのチャネル幅との比が $1:k$ ($k \geq 1$)の関係となるようにした請求項6記載の半導体集積回路。

15 8. 前記バイアス回路は、ドレインまたはソースの一方が電源電圧に接続され、ドレインまたはソースの他方が定電流源に接続され、該定電流源にゲートが接続されている請求項6または7記載の半導体集積回路。

9. AM放送信号を増幅する第1のPチャネルMOSFETと、

前記第1のPチャネルMOSFETとカスコード接続される第2のPチャネルMOSFETと、

20 CMOSデジタル回路とをCMOSプロセスにより同一回路基板上に形成する半導体集積回路の製造方法。

10. 前記第2のPチャネルMOSFETの増幅度を制御するAGC回路を設ける請求項9記載の半導体集積回路の製造方法。

11. 前記第2のPチャネルMOSFETとカレントミラー回路を構成する第3のMOSFETを形成し、該第3のMOSFETのチャネル幅と、前記第1のPチャネルMOSFETのチャネル幅との比が $1:k$ ($k \geq 1$)の関係と

25

なるようにした請求項 9 記載の半導体集積回路の製造方法。

1 / 5

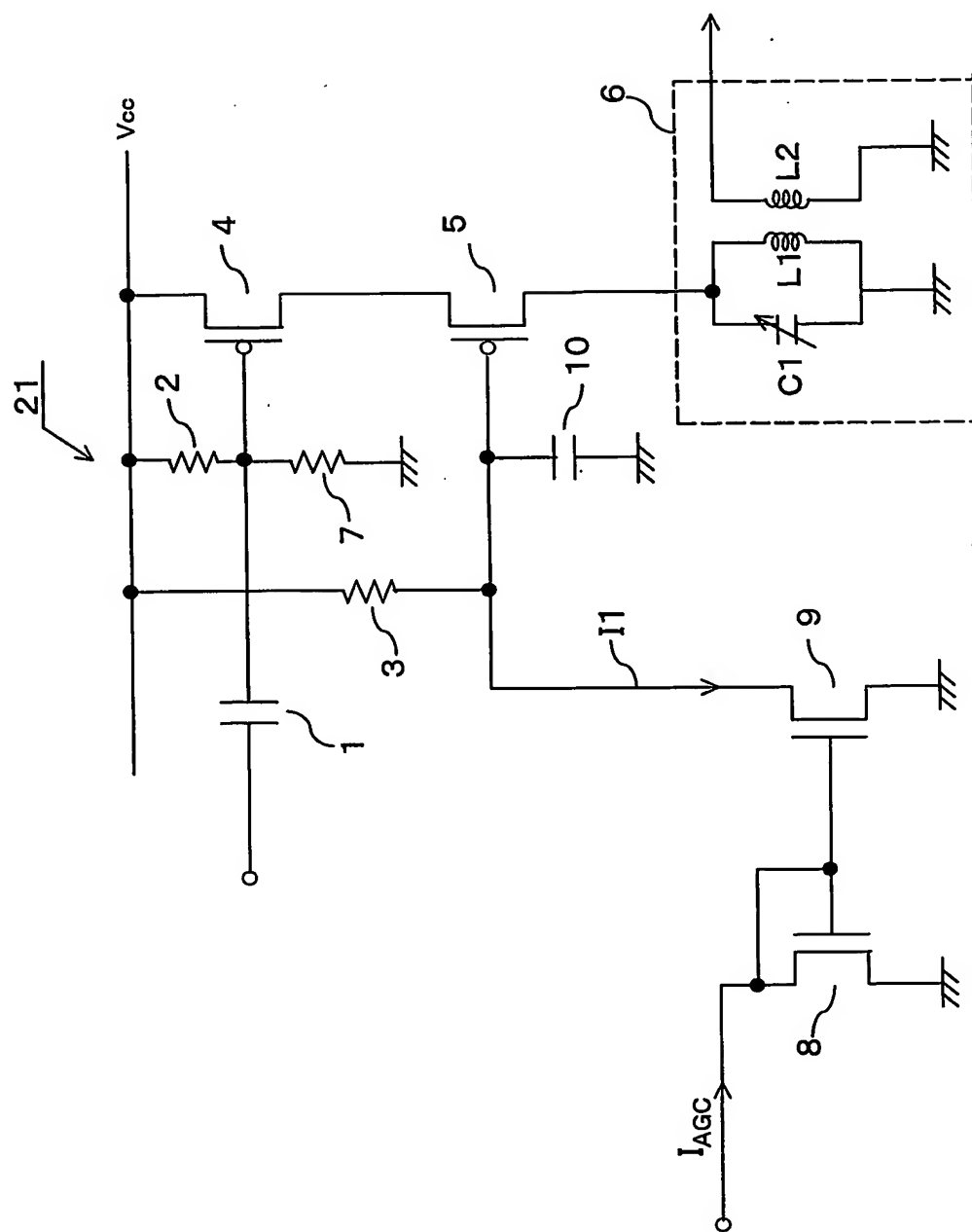


图 1

2 / 5

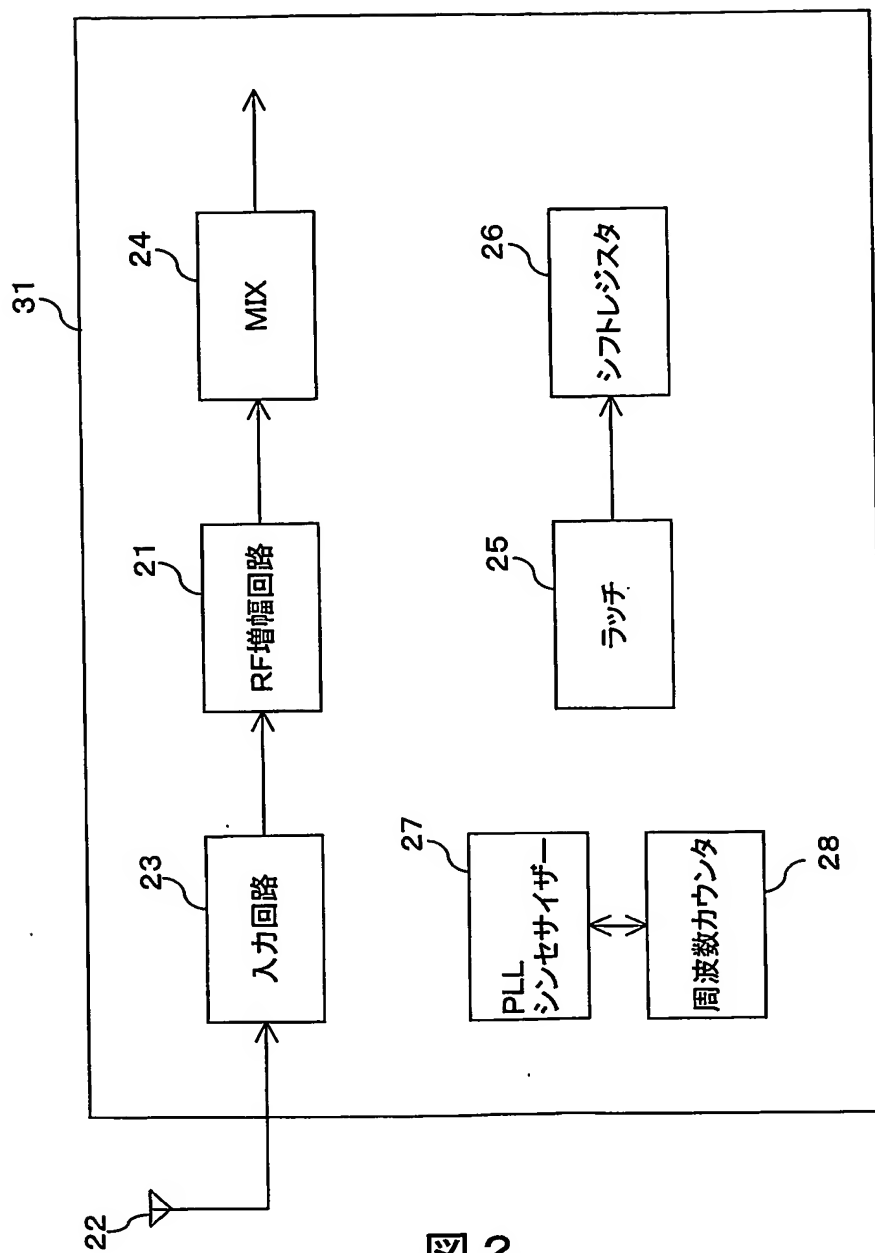


図 2

3 / 5

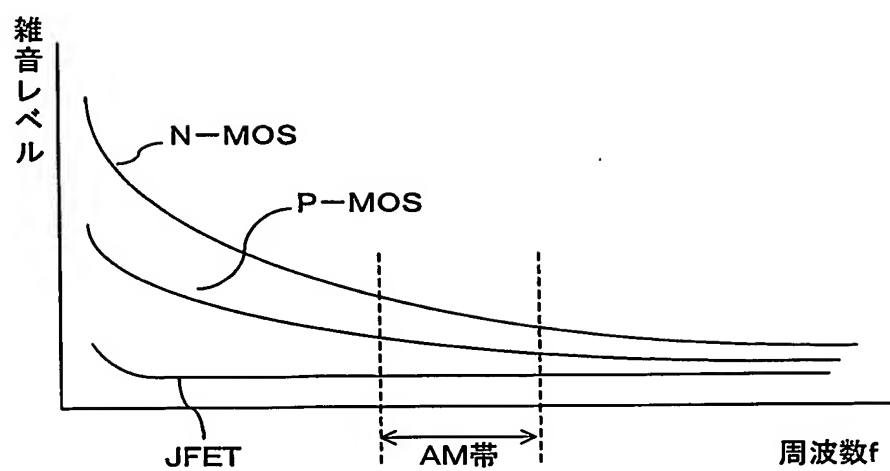


図 3

4 / 5

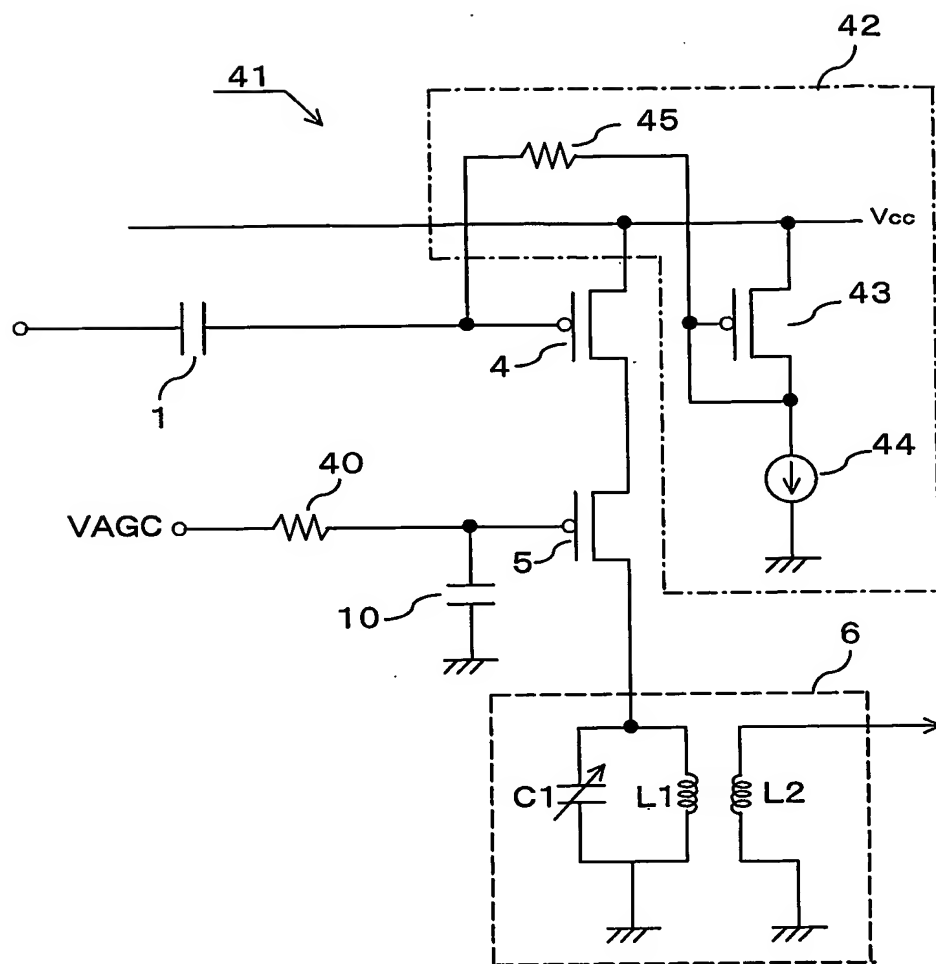


図 4

5 / 5

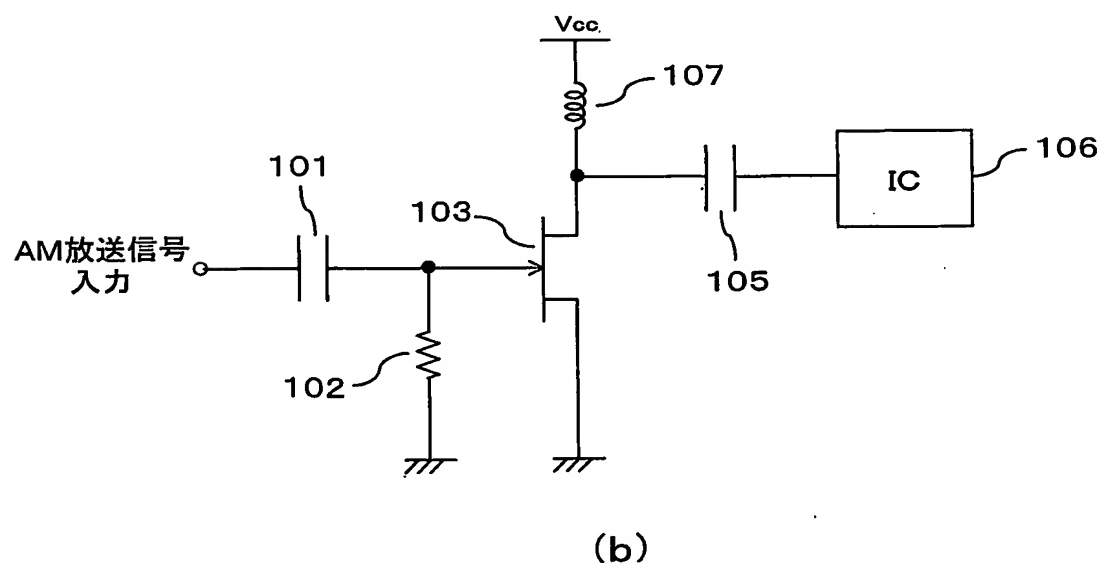
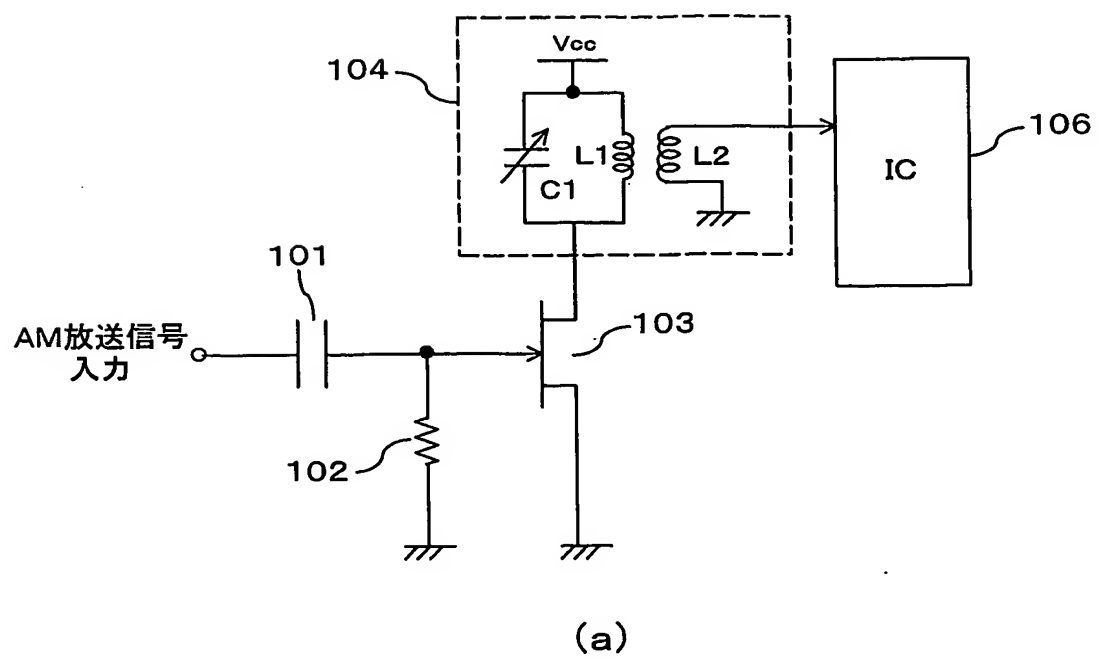


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08227

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03F3/19

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F3/19

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X P, A	JP 2002-204129 A (Niigata Seimitsu Co., Ltd.), 19 July, 2002 (19.07.02), & WO 02/54582 A1	1-5, 9, 10 6-8, 11
X Y	JP 5-48360 A (Chuna Kabushiki Kaisha), 26 February, 1993 (26.02.93), (Family: none)	1-5, 9, 10 6-8, 11
X Y	JP 10-22942 A (Sanyo Electric Co., Ltd.), 23 January, 1998 (23.01.98), (Family: none)	1-5, 9, 10 6-8, 11
Y	JP 2002-100938 A (Toshiba Corp.), 05 April, 2002 (05.04.02), & US 2002/0036543 A1 & EP 1195890 A2	6-8, 11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 September, 2003 (24.09.03)

Date of mailing of the international search report
07 October, 2003 (07.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Internal application No.

PCT/JP03/08227

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-28180 B2 (AT & T Corp.), 29 March, 1995 (29.03.95), & US 5105165 A & EP 0491488 A1	6-8, 11
A	JP 60-229404 A (Toshiba Corp.), 14 November, 1985 (14.11.85), & EP 0159654 A & US 4626794 A	1-11
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 129012/1986 (Laid-open No. 35337/1988) (Alps Electric Co., Ltd.), 07 March, 1988 (07.03.88), (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/19

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/19

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX PA	JP 2002-204129 A (新潟精密株式会社) 2002. 07. 19 & WO 02/54582 A1	1-5, 9, 10 6-8, 11
X Y	JP 5-48360 A (チューナー株式会社) 1993. 02. 26 (ファミリーなし)	1-5, 9, 10 6-8, 11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日
24. 09. 03

国際調査報告の発送日
07.10.03

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
佐藤 敬介



5W 9196

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 10-22942 A (三洋電機株式会社) 1998. 01. 23 (ファミリーなし)	1-5, 9, 10 6-8, 11
Y	JP 2002-100938 A (株式会社東芝) 2002. 04. 05 & US 2002/0036543 A1 & EP 1195890 A2	6-8, 11
Y	JP 7-28180 B2 (エイ・ティ・アンド・ティ・コーポ レーション) 1995. 03. 29 & US 5105165 A & EP 0491488 A1	6-8, 11
A	JP 60-229404 A (株式会社東芝) 1985. 11. 14 & EP 0159654 A & US 4626794 A	1-11
A	日本国実用新案登録出願61-129012号 (日本国実用新案登 録出願公開63-35337号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (アルプス電気株式会社) 1988. 03. 07 (ファミリーなし)	1-11